

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86893

(43) 公開日 平成7年(1995)3月31日

| (51) Int.Cl. ⁵ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|----------|-----|--------|
| H 0 3 K 5/19 | L | 7402-5 J | | |
| | B | 7402-5 J | | |
| | P | 7402-5 J | | |
| 5/26 | C | 7402-5 J | | |

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平5-231961

(22) 出願日 平成5年(1993)9月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 喜田 敏実

福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州ディジタル・テクノロジー株式会社内

(72) 発明者 中山 高一郎

福岡県福岡市博多区博多駅前三丁目22番8号 富士通九州ディジタル・テクノロジー株式会社内

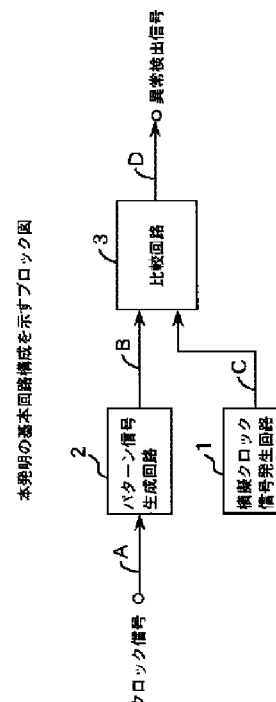
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 クロック信号異常検出回路

(57) 【要約】

【目的】 本発明はクロック信号異常検出回路に関し、装置に供給されるクロック信号と同一周波数の模擬クロック信号を用いることで、クロック信号の異常（断及び周波数劣化）を即時に検出することが可能なクロック信号異常検出回路を提供するものである。

【構成】 回路に供給されるクロック信号Aと同一の周波数の模擬クロック信号Cを模擬クロック信号発生回路1により発生し、クロック信号Aに同期した固定パターン信号Bをパターン信号生成回路2により生成し、比較回路3で固定パターン信号Bの周期時間を模擬クロック信号Cの周期時間を基準にして比較することによりクロック信号Aの断および周波数の劣化を検出するよう構成されている。



【特許請求の範囲】

【請求項1】 回路に供給されるクロック信号(A)と同一の周波数の模擬クロック信号(C)を発生する模擬クロック信号発生回路(1)と、そのクロック信号(A)に同期した固定パターン信号(B)を生成するパターン信号生成回路(2)と、固定パターン信号(B)の周期時間を模擬クロック信号(C)の周期時間を基準にして比較する比較回路(3)とを備え、前記比較回路(3)が固定パターン信号(B)の周期時間の異常を模擬クロック信号(C)と比較することによりクロック信号(A)の断および周波数の劣化を検出することを特徴とするクロック信号異常検出回路。

【請求項2】 前記固定パターン生成回路(2)は2進カウンタを備え、クロック信号(A)を1/2分周しそのクロック信号(A)に同期した固定パターン信号(B)を生成することを特徴とする請求項1記載のクロック信号異常検出回路。

【請求項3】 前記比較回路(3)は固定パターン信号(B)の周期時間の異常を検出した際、異常検出信号(D)を出力することを特徴とする請求項1記載のクロック信号異常検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はクロック信号異常検出回路に関し、詳しくは、伝送路装置等において、装置に供給されるクロック信号の異常(断・周波数劣化)を検出し、異常を検出した際には異常検出信号を出力するクロック信号異常検出回路に関する。

【0002】

【従来の技術】従来、伝送路装置等において、装置に供給されるクロック信号が断・周波数劣化が発生すると、装置が動作しなくなり、伝送するデータも正しく伝送されなくなる。従って、供給されるクロック信号を監視し、そのクロック信号に異常が発生した際には、装置を保障するために異常検出信号(アラーム信号)を出力するクロック信号異常検出回路が設けられていた。

【0003】図6は従来のクロック信号異常検出回路の構成を示すブロック図である。図6において、61はパルス発生回路で構成されたタイマーであり、タイマー信号cを所定の間隔で周期的に発生するものである。62はR-Sフリップフロップで構成されたラッチ回路であり、周期的に発生するタイマー信号cをラッチし、そのラッチされた信号bをクロック信号aによりリセットするものである。63はDフリップフロップで構成された検出回路であり、ラッチ信号bをタイマー信号cの同期でラッチすることによりクロック信号aの異常を検出し、アラーム信号dを出力するものである。

【0004】図7及び図8は従来のクロック信号異常検出回路のタイムチャート(その1及びその2)である。なお、図7は、クロック信号aの断を検出する際のタイ

ムチャート(その1)である。また、図8は、クロック信号aの周波数劣化を検出する際のタイムチャート(その2)である。図7のタイムチャート(その1)について説明すると、例えば、ラッチ回路62がタイマー61から発生されるタイマー信号cの立ち上がりでラッチし、そのラッチ信号bを出力する。このとき、クロック信号aが供給されると、クロック信号aの立ち上がり、または立ち下がりでラッチ信号bはリセットされる。ここで、クロック信号aの断が発生し、タイマー61から次のタイマー信号cが入力されるとラッチ信号bはリセットされないで“High”の状態を維持する。次に、検出回路63はさらに次のタイマー信号cで“high”の状態のラッチ信号bをラッチすることでクロック信号aの断を検出してアラーム信号dを出力している。

【0005】

【発明が解決しようとする課題】しかしながら、図7のタイムチャート(その1)に示すように、クロック信号aの断を検出できてもタイマー信号cの周期により即時検出することができないので、クロック信号aの断が発生してからアラーム信号が検出されるまで、装置内の動作を保障することができなかった。また、図8のタイムチャート(その2)では、クロック信号aの周波数が劣化しそのクロック信号aの周期時間が伸びているがタイマー信号cの周期時間より短いため、ラッチ信号bはクロック信号aにより常にリセットされ“Low”に維持されるのでアラーム信号dは検出回路63から出力しないことになる。従って、クロック信号aが劣化した場合はその異常を検出できないという問題があった。

【0006】換言すれば、周期的にクロック信号を監視するのでは周期間にクロック信号の断が発生した場合に周期間の動作が保障されなくなり、周期間でクロック信号の周波数が劣化しても周期間中にクロック信号の状態変化(High/Lowの変化)があれば、クロック信号を正常と見なすため、クロック信号の異常を検出できず、装置内で異常動作が発生することになる。従って、クロック信号の断及び劣化に対して即時検出する方法が待望されていた。

【0007】本発明は以上の事情を考慮してなされたもので、例えば、クロック信号の断検出と周波数の劣化検出を同じ回路で即時に検出できるクロック信号異常検出回路を提供するものである。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明が講じた技術的手段は、次の通りである。図1は本発明の基本回路構成を示すブロック図である。図1において、本発明は、回路に供給されるクロック信号Aと同一の周波数の模擬クロック信号Cを発生する模擬クロック信号発生回路1と、そのクロック信号Aに同期した固定パターン信号Bを生成するパターン信号生成回路2と、固定パターン信号Bの周期時間を模擬クロッ

ク信号Cの周期時間を基準にして比較する比較回路3とを備え、前記比較回路3が固定パターン信号Bの周期時間の異常を模擬クロック信号Cと比較することによりクロック信号Aの断および周波数の劣化を検出することを特徴とするクロック信号異常検出回路である。

【0009】前記固定パターン生成回路2は2進カウンタを備え、クロック信号Aを1/2分周しそのクロック信号Aに同期した固定パターン信号Bを生成するように構成されることが好ましい。

【0010】前記比較回路3は固定パターン信号Bの周期時間の異常を検出した際、異常検出信号Dを出力するように構成されることが好ましい。

【0011】なお、本発明において、模擬クロック信号発生回路1としては、クロック信号を発生する回路構成と同一のパルスジェネレータ、またはクロック信号発生モジュールが用いられる。パターン信号生成回路2としては、フリップフロップで構成される2進カウンタが用いられる。比較回路3としては、カウンタ、デコーダ、コンパレータ等で構成されている回路が用いられる。また、模擬クロック信号発生回路1、パターン信号生成回路2、比較回路3は、一つの基板にTTL、またはCMOSのゲートアレイとしてLSI化し実装することができる。また、CPU、ROM、RAM、I/Oポートからなるマイクロコンピュータで構成してもよい。

【0012】

【作用】本発明によれば、回路に供給されるクロック信号Aと同一の周波数の模擬クロック信号Cを模擬クロック信号発生回路1により発生し、クロック信号Aに同期した固定パターン信号Bをパターン信号生成回路2により生成し、比較回路3で固定パターン信号Bの周期時間を模擬クロック信号Cの周期時間を基準にして比較することによりクロック信号Aの断および周波数の劣化を検出することができる。

【0013】前記固定パターン生成回路2は2進カウンタを備えているので、クロック信号Aを1/2分周しそのクロック信号Aに同期した固定パターン信号Bを生成することができる。

【0014】前記比較回路3は固定パターン信号Bの周期時間の異常を検出した際、異常検出信号Dを出力することができる。

【0015】

【実施例】以下、図に示す実施例に基づいて本発明を詳述する。なお、これによって本発明は限定されるものではない。また、本発明は、例えば、伝送路装置等において、装置に供給されるクロック信号の異常の検出に用いて好適である。

【0016】図2は本発明のクロック信号異常検出回路の一実施例を示すブロックである。図2において、図1と同一の構成のものは同一の番号または記号で示している。図2について説明すると、1は断/周波数劣化を検

出するクロック信号Aと同じ周波数の模擬クロック信号Cを発生させる模擬クロック信号発生回路、2は断・周波数劣化を検出するために任意の固定パターン信号Bをクロック信号Aで生成するパターン信号生成回路、3はパターン信号生成回路2で生成された固定パターン信号Bを模擬クロック信号発生回路1の模擬クロック信号Cで比較する比較回路である。

【0017】模擬クロック信号発生回路1はクロック信号Aを発生する回路構成と同一のパルスジェネレータ、クロック信号発生モジュールを用いて、模擬クロック信号Cを元のクロック信号Aに対し非同期に発生している。パターン信号生成回路2はDフリップフロップで構成し、クロック信号Aを1/2に分周して0/1交番(High、Low)の固定パターン信号Bを生成する。比較回路3はカウンタ、デコーダ、コンパレータ等で構成され、この0/1交番の固定パターン信号Bをクロック信号Aと同じ周波数の模擬クロック信号Cの立ち上がりで比較回路3により比較して行き、クロック信号Aの断/周波数劣化を検出すれば異常検出信号D(アラーム信号)を出力する。

【0018】図3及び図4は本発明のクロック信号異常検出回路のタイムチャート(その1及びその2)である。図3は、クロック信号Aの断を検出する際のタイムチャート(その1)である。また、図4は、クロック信号Aの周波数劣化を検出する際のタイムチャート(その2)である。図3のタイムチャート(その1)において、比較回路3は、固定パターン信号Bを模擬クロック信号Cの立ち上がりで比較して行く。例えば、比較回路3に入力される(B、C)に対し、(1、1)、(0、1)、(1、1)、(0、1)……(1、1)、(0、1)ならばクロック信号Aは正常である。もし、クロック信号Aが断すれば0/1交番のデータはHigh、Lowの何方かに固定となる。即ち、(B、C)は(1、1)、(0、1)、……(0、1)、(0、1)、または、(1、1)、(0、1)、……(1、1)、(1、1)となるので、この連続する2組みの(0、1)、(0、1)、または(1、1)、(1、1)を比較回路3により検出することでクロック信号Aの断が即時検出できる。

【0019】図4のタイムチャート(その2)に示すように、周波数が劣化した場合でも、0/1交番の固定パターン信号Bの変化が遅くなるため、比較回路3に入力される(B、C)が(1、1)、(0、1)、……(0、1)、(0、1)、または、(1、1)、(0、1)、……(1、1)、(1、1)となるので、この連続する2組みの(0、1)、(0、1)、または(1、1)、(1、1)を検出することでクロック信号Aの周波数劣化が即時検出できる。

【0020】図5は本発明を二重化クロック信号で構成される回路に適用した一実施例を示すブロック図であ

る。図5において、0系クロック信号A1と1系クロック信号A2の断・周波数劣化を検出する場合、2組みの固定パターン信号B1、B2を生成するパターン信号生成回路21、22と、固定パターン信号B1、B2をクロック信号A1、A2でそれぞれ比較する比較回路31、32とでフロック信号異常検出回路を構成し、例えば、0系クロック信号A1を1系クロック信号A2と比較する比較回路32に入力し、1系クロック信号A2を0系クロック信号A1と比較する比較回路31に入力し、それぞれのクロック信号A1、A2の断・周波数劣化の検出を行う。従って、クロック信号の二重化構成の場合は断検出を行うクロック信号で生成された固定パターン信号を片系のクロック信号で比較すれば、それぞれのクロック信号の断・周波数劣化を即時検出することができるので、模擬クロック信号発生回路を設ける必要はない。

【0021】

【発明の効果】本発明によれば、クロック信号から固定パターン信号を生成し、クロック信号と同じ周波数の模擬クロック信号を発生し、その模擬クロック信号で固定パターン信号を監視することにより、装置に供給されるクロック信号の異常（断及び周波数劣化）を即時に検出する異常検出回路が得られる。従って、検出された異常検出信号により装置を即時保障することが可能になるので装置の信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の基本回路構成を示すブロック図である。

【図2】本発明のクロック信号異常検出回路の一実施例を示すブロックである。

【図3】本発明のクロック信号異常検出回路のタイムチャート（その1）である。

【図4】本発明のクロック信号異常検出回路のタイムチャート（その2）である。

【図5】本発明を二重化クロック信号で構成される回路に適用した一実施例を示すブロック図である。

【図6】従来のクロック信号異常検出回路の構成を示すブロック図である。

【図7】従来のクロック信号異常検出回路のタイムチャート（その1）である。

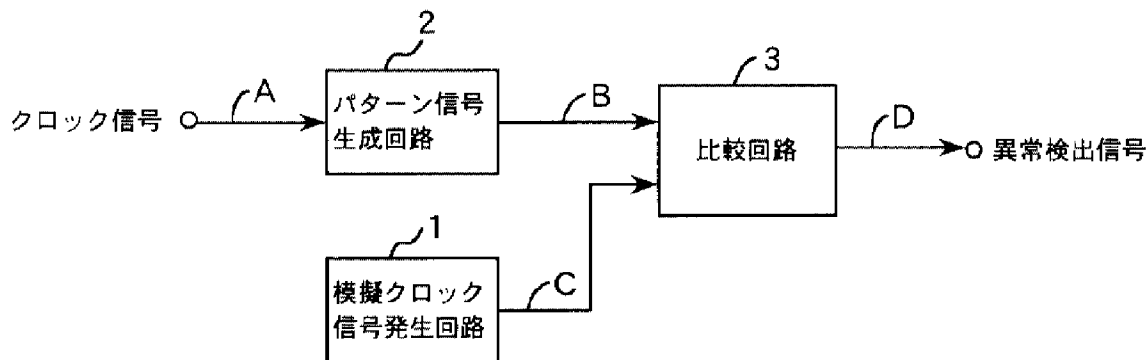
【図8】従来のクロック信号異常検出回路のタイムチャート（その2）である。

【符号の説明】

- 1 模擬クロック信号発生回路
- 2 パターン信号生成回路
- 3 比較回路
- A クロック信号
- B 固定パターン信号
- C 模擬クロック信号
- D 異常検出信号（アラーム信号）

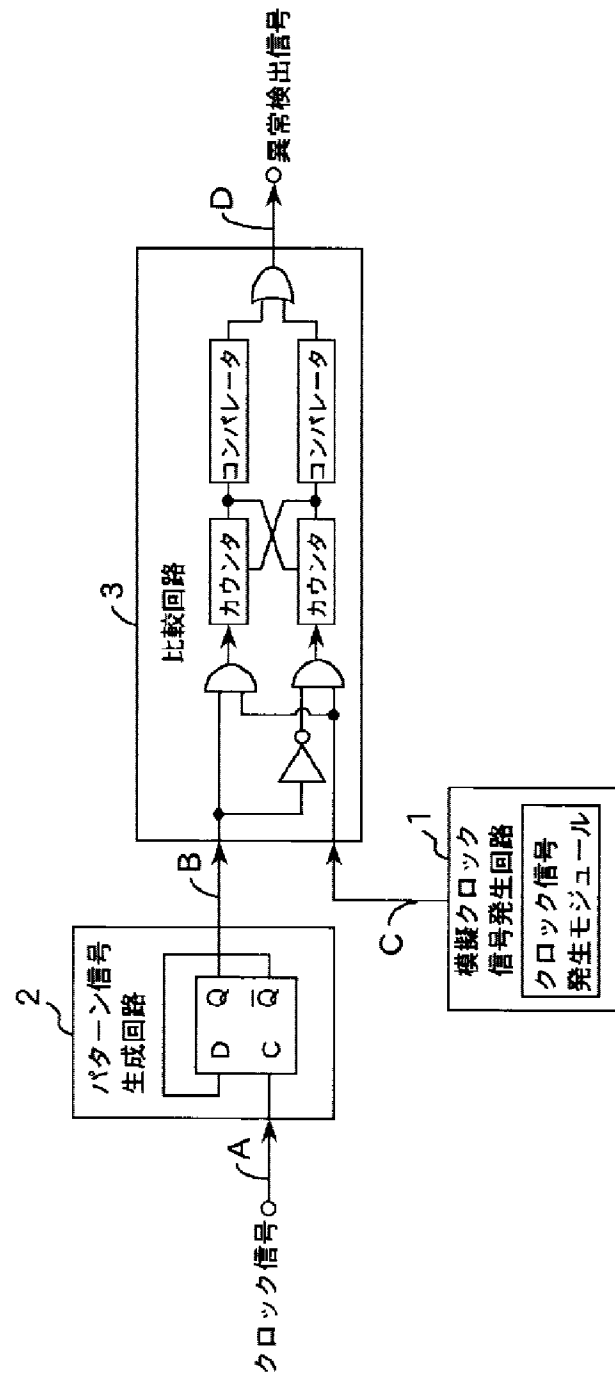
【図1】

本発明の基本回路構成を示すブロック図



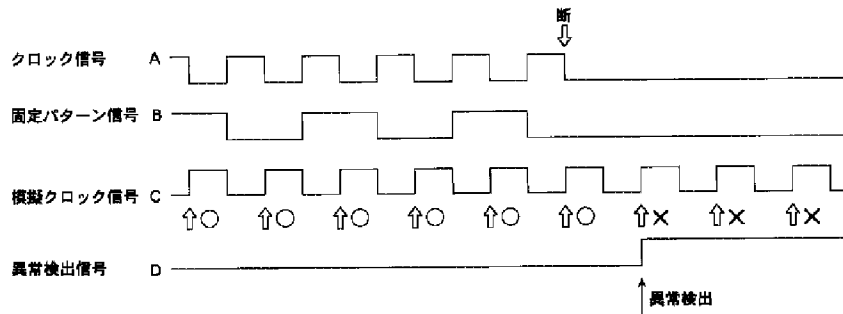
【図2】

本発明のクロック信号異常検出回路の一実施例を示すブロック図



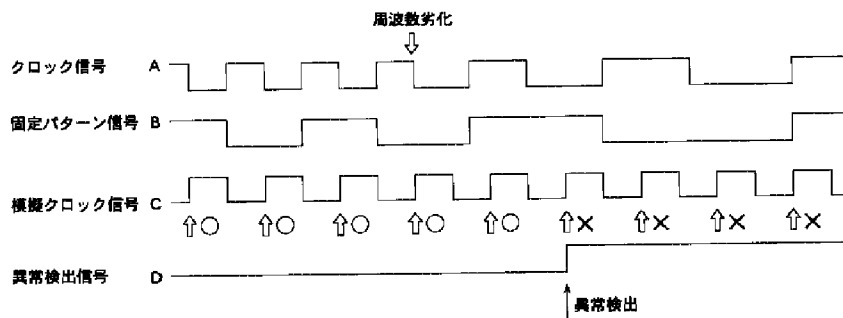
【図3】

本発明のクロック信号異常検出回路のタイムチャート（その1）



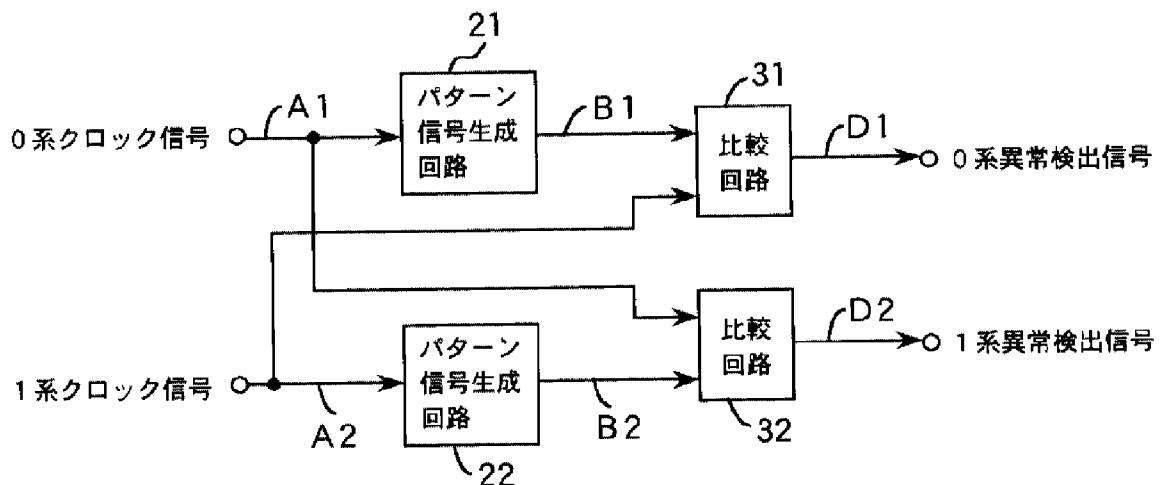
【図4】

本発明のクロック信号異常検出回路のタイムチャート（その2）

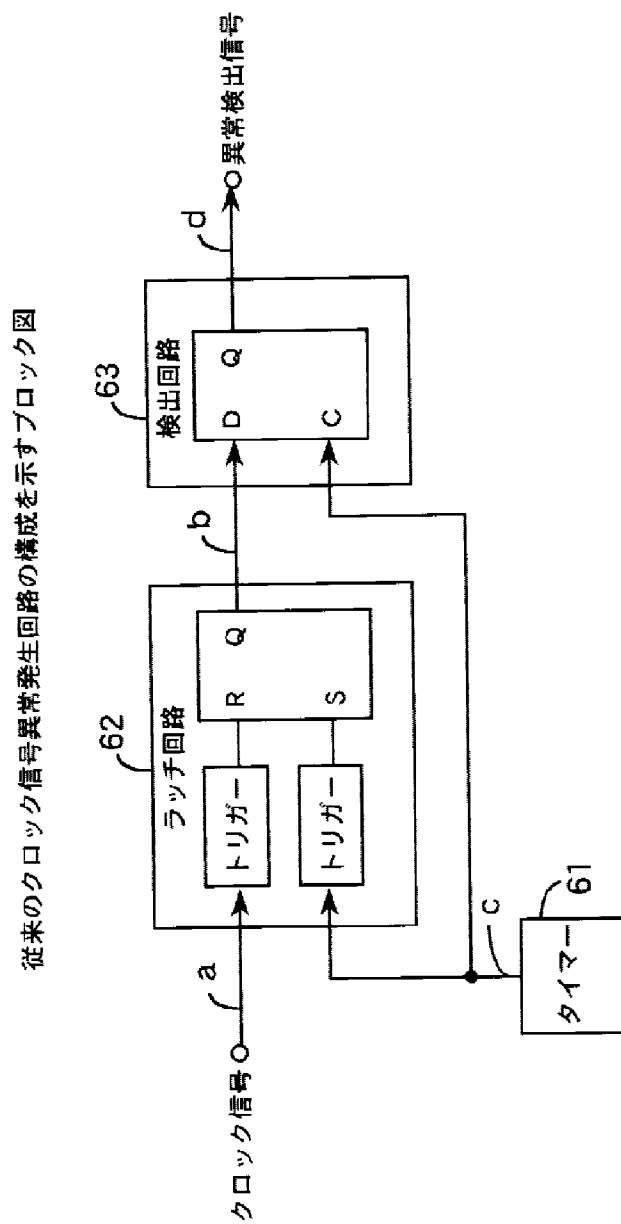


【図5】

本発明を二重化クロック信号で構成される回路に適用した一実施例を示すブロック図

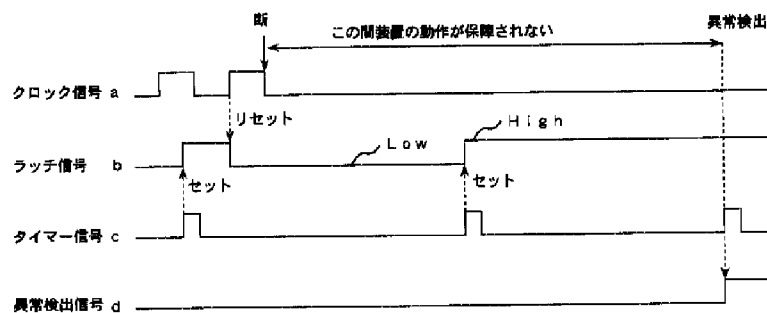


【図6】



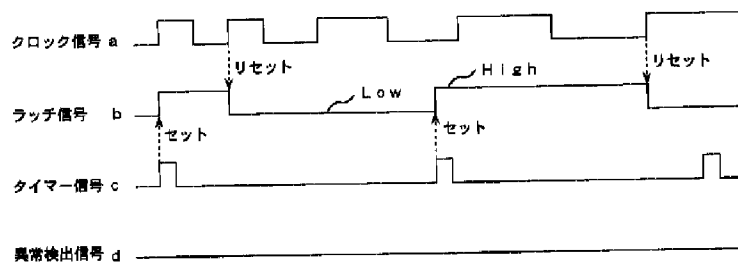
【図7】

従来のクロック信号異常検出回路のタイムチャート（その1）



【図8】

従来のクロック信号異常検出回路のタイムチャート（その2）



JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.***** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]About a clock signal abnormality detecting circuit, in detail, in a transmission-line device etc., when this invention detects the abnormalities (** and frequency degradation) of the clock signal supplied to a device and detects abnormalities, it relates to the clock signal abnormality detecting circuit which outputs a malfunction detection signal.

[0002]

[Description of the Prior Art]Generating of ** and frequency degradation stops conventionally, as for the data which a device stops operating and is transmitted also transmitting correctly the clock signal supplied to a device in a transmission-line device etc. Therefore, when the clock signal supplied was supervised and abnormalities occurred in the clock signal, since a device was secured, the clock signal abnormality detecting circuit which outputs a malfunction detection signal (alarm signal) was provided.

[0003]Drawing 6 is a block diagram showing the composition of the conventional clock signal abnormality detecting circuit. In drawing 6, 61 is the timer which comprised a pulse generating circuit, and generates timer signal c periodically at the predetermined intervals. 62 is the latch circuitry which comprised an R-S flip-flop, latches timer signal c generated periodically, and resets the latched signal b by clock signal a. 63 is the detector circuit which comprised a D flip-flop, by latching latch signal b by the synchronization of timer signal c, detects the abnormalities of clock signal a and outputs the alarm signal d.

[0004]Drawing 7 and drawing 8 are the time charts (the 1 and its 2) of the conventional clock signal abnormality detecting circuit. Drawing 7 is a time chart at the time of detecting ** of clock signal a (the 1). Drawing 8 is a time chart at the time of detecting frequency degradation of clock signal a (the 2). If the time chart (the 1) of drawing 7 is explained, the latch circuitry 62 will be latched in the standup of timer signal c generated from the timer 61, and will output the latch signal b, for example. If clock signal a is supplied at this time, latch signal b will be reset in the standup of clock signal a, or falling. Here, ** of clock signal a occurs, and if the following timer signal c is inputted from the timer 61, latch signal b will maintain the state of "High" without being reset. Next, the detector circuit 63 detects ** of clock signal a by latching latch signal b of the state of "high" by the following timer signal c further, and is outputting the alarm signal d.

[0005]

[Problem(s) to be Solved by the Invention] However, since it is undetectable instance with the cycle of timer signal c even if ** of clock signal a is detectable as shown in the time chart (the 1) of drawing 7, The operation in a device was not able to be secured after ** of clock signal a occurs until the alarm signal was detected. In the time chart (the 2) of drawing 8. Although the frequency of clock signal a deteriorated and the period time of the clock signal a is extended, since it is shorter than the period time of timer signal c, and latch signal b is always reset by clock signal a and is maintained by "Low", the alarm signal d will be outputted from the detector circuit 63. Therefore, when clock signal a deteriorated, there was a problem that the abnormality was undetectable.

[0006] When putting in another way and ** of a clock signal occurs between cycles if a clock signal is supervised periodically, operation between cycles is no longer secured. If throughout [periodic] has a change of state (change of High/Low) of a clock signal even if the frequency of a clock signal deteriorates between cycles, in order to consider that a clock signal is normal, the abnormalities of a clock signal cannot be detected but abnormal operation will occur within a device. Therefore, it looked forward to the method of detecting instance to ** of a clock signal, and degradation.

[0007] This invention was made in consideration of the above situation, and provides the clock signal abnormality detecting circuit which can detect the interruption detection of a clock signal, and degradation detection of frequency immediately in the same circuit, for example.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the technical means which this invention provided are as follows. Drawing 1 is a block diagram showing basic circuit composition of this invention. The imitation clock signal generating circuit 1 which generates imitation clock signal C of the frequency as clock signal A supplied to a circuit with same this invention in drawing 1, The pattern signal generating circuit 2 which generates the fixed pattern signal B in sync with the clock signal A, It has the comparison circuit 3 which compares period time of the fixed pattern signal B on the basis of period time of imitation clock signal C, When said comparison circuit 3 compares abnormalities of period time of the fixed pattern signal B with imitation clock signal C, it is a clock signal abnormality detecting circuit detecting ** of clock signal A, and degradation of frequency.

[0009] As for said fixed pattern generating circuit 2, it is preferred to be constituted so that the fixed pattern signal B which was provided with a binary counter and synchronized clock signal A with clock signal A of $1/2$ dividing Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. may be generated.

[0010] When said comparison circuit 3 detects abnormalities of period time of the fixed pattern signal B, it is preferred to be constituted so that the malfunction detection signal D may be outputted.

[0011] In this invention, the pulse generator same as the imitation clock signal generating circuit 1 as circuitry which generates a clock signal, or a clock signal generating module is used. A binary counter which comprises a flip-flop is used as the pattern signal generating circuit 2. A circuit which comprises a counter, a decoder, a comparator, etc. is used as the comparison circuit 3. The imitation clock signal generating circuit 1, the

pattern signal generating circuit 2, and the comparison circuit 3 can be LSI-ized to one substrate as a gate array of TTL or CMOS, and can be mounted in it. It may constitute from a microcomputer which consists of CPU, ROM, RAM, and an I/O Port.

[0012]

[Function]In this invention, imitation clock signal C of the same frequency as clock signal A supplied to a circuit is generated by the imitation clock signal generating circuit 1, The pattern signal generating circuit 2 generates the fixed pattern signal B in sync with clock signal A, and the period time of the fixed pattern signal B is compared on the basis of the period time of imitation clock signal C in the comparison circuit 3. Therefore, ** of clock signal A and degradation of frequency are detectable.

[0013]Since said fixed pattern generating circuit 2 is provided with the binary counter, the fixed pattern signal B which synchronized clock signal A with clock signal A of 1 / 2 dividing Perilla frutescens (L.) Britton var. crispa (Thunb.) Decne. is generable.

[0014]When said comparison circuit 3 detects the abnormalities of the period time of the fixed pattern signal B, it can output the malfunction detection signal D.

[0015]

[Example]Hereafter, based on the example shown in a figure, this invention is explained in full detail. This invention is not limited by this. This invention is used for detection of the abnormalities of the clock signal supplied to a device, for example in a transmission-line device etc., and is preferred.

[0016]Drawing 2 is a block which shows one example of the clock signal abnormality detecting circuit of this invention. In drawing 2, the same number or sign shows the thing of the same composition as drawing 1. The imitation clock signal generating circuit which generates imitation clock signal C of the frequency as clock signal A which detects ** / frequency degradation in which 1 is the same when drawing 2 is explained, In order that 2 may detect ** and frequency degradation, the pattern signal generating circuit which generates the arbitrary fixed pattern signals B by clock signal A, and 3 are comparison circuits which compare the fixed pattern signal B generated in the pattern signal generating circuit 2 by imitation clock signal C of the imitation clock signal generating circuit 1.

[0017]The imitation clock signal generating circuit 1 has generated imitation clock signal C asynchronously to clock signal A of origin using the same pulse generator as the circuitry which generates clock signal A, and a clock signal generating module. The pattern signal generating circuit 2 is constituted from a D flip-flop, carries out dividing of the clock signal A to one half, and generates the fixed pattern signal B of 0/1 police box (High, Low). The comparison circuit 3 comprises a counter, a decoder, a comparator, etc., compares the fixed pattern signal B of this 0/1 police box by the comparison circuit 3 in the standup of imitation clock signal C of the same frequency as clock signal A, and goes, If ** / frequency degradation of clock signal A are detected, the malfunction detection signal D (alarm signal) will be outputted.

[0018]Drawing 3 and drawing 4 are the time charts (the 1 and its 2) of the clock signal abnormality detecting circuit of this invention. Drawing 3 is a time chart at the time of detecting ** of clock signal A (the 1). Drawing 4 is a time chart at the time of detecting

frequency degradation of clock signal A (the 2). In the time chart (the 1) of drawing 3, the comparison circuit 3 compares the fixed pattern signal B in the standup of imitation clock signal C, and goes. receiving being inputted into the comparison circuit 3 (B, C) -- (1, 1), (0, 1), (1, 1), and (0, 1) (1, 1) -- if it becomes (0, 1), clock signal A is normal. If clock signal A **, the data of 0/1 police box will be fixed what [of High and Low] one it is. Namely, (1, 1), (0, 1), (0, 1), (0, 1), (B, C), Or since it is set to (1, 1), (0, 1), (1, 1), and (1, 1), ** of clock signal A can detect this (continuous 0, 1) that are constructed two, (0, 1) or (1, 1), and (1, 1) instance by detecting by the comparison circuit 3.

[0019] Since change of the fixed pattern signal B of 0/1 police box becomes slow even when frequency deteriorates as shown in the time chart (the 2) of drawing 4, it inputs into the comparison circuit 3 -- having (B, C) -- (1, 1), (0, 1), (0, 1), and (0, 1). Or since it is set to (1, 1), (0, 1), (1, 1), and (1, 1), frequency degradation of clock signal A can detect instance by detecting this (continuous 0, 1) that are constructed two, (0, 1) or (1, 1), and (1, 1).

[0020] Drawing 5 is a block diagram showing one example which applied this invention to the circuit which comprises a doubleness clock signal. In drawing 5, when detecting ** and frequency degradation of the clock signal A2 1 system with the clock signal A1 0 system, two The fixed pattern signal B1 to construct and the pattern signal generating circuits 21 and 22 which generate B-2, A flocks signal abnormality detector circuit is constituted from the fixed pattern signal B1 and the comparison circuits 31 and 32 which compare B-2 by the clock signal A1 and A2, respectively, For example, the clock signal A1 is inputted into the comparison circuit 32 which compares the clock signal A2 1 system 0 system, the clock signal A2 is inputted into the comparison circuit 31 which compares the clock signal A1 0 system 1 system, and each clock signal A1, and ** and frequency degradation of A2 are detected. Therefore, since ** and frequency degradation of each clock signal are detectable instance if the case of the duplicate configuration of a clock signal compares the fixed pattern signal generated with the clock signal which performs interruption detection with the clock signal of a piece system, it is not necessary to provide an imitation clock signal generating circuit.

[0021]

[Effect of the Invention] In this invention, a fixed pattern signal is generated from a clock signal, the imitation clock signal of the same frequency as a clock signal is generated, and a fixed pattern signal is supervised with the imitation clock signal. Therefore, the abnormality detecting circuit which detects immediately the abnormalities (** and frequency degradation) of the clock signal supplied to a device is obtained. Therefore, since it becomes possible to secure a device instance with the detected malfunction detection signal, the reliability of a device improves.

[Translation done.]